

(3) Japanese Patent Application Laid-Open No. 8-213578 (1996):
"SOI SUBSTRATE AND METHOD OF MANUFACTURING THE SAME"

The following is an extract relevant to the present application.

5

Fig. 1 shows an SOI substrate according to the present embodiment, (a) is a plane view, and (b) is a sectional view taken along A—A in (a). An SOI substrate 1 according to the present embodiment consists of a true-circular silicon single crystal substrate 2 which is a supporting substrate and a non-true-circular silicon single crystal layer 4 which is formed on this silicon single crystal substrate 2 through an oxide film 3 that is an insulator and also is a semiconductor single crystal layer with a main orientation flat 5 formed provided on its side surface.

10
15
The main orientation flat 5 is formed in a position of, for example, a surface orientation (110). The position where this main orientation flat 5 is formed is decided to be an appropriate surface orientation with respect to a surface orientation (100) of the silicon single crystal layer 4. The position where this main orientation flat 5 is formed is generally decided to be a surface orientation indicated with $(0\bar{1}\bar{1})$.

20
When the main orientation flat 5 needs to match a specified crystal orientation of the silicon single crystal substrate 2, as shown in Fig. 8, it is preferable to form an orientation notch 9 on the silicon single crystal substrate 2 in advance so that a silicon single crystal substrate 6 can be combined with reference to this orientation notch 9.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213578

(43) 公開日 平成8年(1996)8月20日

(51) IntCl.⁶

H 0 1 L 27/12
21/02

識別記号

B
B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21) 出願番号

特願平7-17716

(22) 出願日

平成7年(1995)2月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 加藤 照男

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

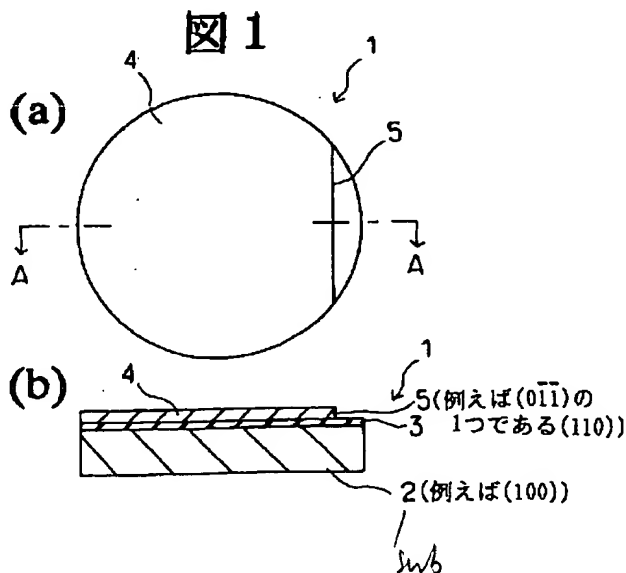
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 S O I 基板及びその製造方法

(57) 【要約】

【目的】 基板の回転を伴うプロセス処理工程において、回転時に S O I 基板に生ずる回転むらを防止することが可能な技術を提供する。

【構成】 S O I 基板 1 は、真円形状のシリコン単結晶基板 2 上に酸化膜 3 を介して、主オリエンテーションフラット 5 が形成された非真円形状のシリコン単結晶層 4 が形成されて構成される。このように、非真円形状のシリコン単結晶層 4 が真円形状のシリコン単結晶基板 2 によって支持されていることにより、S O I 基板 1 の重心が幾何学的な対称中心に一致するようになるので、基板の回転を伴うプロセス処理工程において、回転時に S O I 基板 1 に生じる回転むらを防止することが可能となる。



【特許請求の範囲】

【請求項1】 支持基板上に絶縁体を介して半導体単結晶層が形成されるSOI基板において、前記支持基板は真円形状の半導体基板からなるとともに、前記半導体単結晶層は非真円形状の半導体単結晶層からなることを特徴とするSOI基板。

【請求項2】 前記半導体単結晶層には主オリエンテーションフラットが形成されてなることを特徴とする請求項1に記載のSOI基板。

【請求項3】 前記半導体単結晶層には主オリエンテーションフラットとともに、副オリエンテーションフラットが形成されてなることを特徴とする請求項1に記載のSOI基板。

【請求項4】 前記半導体基板にはオリエンテーションノッチが形成されてなることを特徴とする請求項1乃至3のいずれか1項に記載のSOI基板。

【請求項5】 前記半導体基板及び半導体単結晶層はともにシリコンからなることを特徴とする請求項1乃至4のいずれか1項に記載のSOI基板。

【請求項6】 真円形状の半導体基板、及び予め主オリエンテーションフラットが形成されかつ両面に酸化膜が形成された非真円形状の半導体単結晶基板を用意する工程と、前記真円形状の半導体基板及び非真円形状の半導体単結晶基板を酸化膜を介して一体に結合する工程と、前記非真円形状の半導体単結晶基板を所望の厚さに加工する工程と、を含むことを特徴とするSOI基板の製造方法。

【請求項7】 真円形状の半導体単結晶基板を用意する工程と、前記半導体単結晶基板の所望の内部深さに酸化膜を形成して半導体単結晶基板を薄い第1の単結晶層と厚い第2の単結晶層とに区分する工程と、前記第1の単結晶層の表面の所望部分以外をマスクする工程と、前記第1の単結晶層のマスクされていない所望部分を除去して主オリエンテーションフラットを形成する工程と、を含むことを特徴とするSOI基板の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、SOI基板及びその製造方法に関し、特に、支持基板上に絶縁体を介して形成された半導体単結晶層に所望の素子領域を形成する分野に適用して有効な技術に関する。

【0002】

【従来の技術】 例えば酸化膜のような絶縁体上に形成されたシリコン単結晶のような半導体単結晶層に、拡散、イオン打ち込みのような不純物ドーピング方法で所望の素子領域を形成する技術として、SOI (Semiconductor On Insulator) 技術が知られている。

【0003】 例えば、株式会社誠文堂新光社発行、「最新図解半導体ガイド」、1989年10月2日発行、P

98~P99には、絶縁体 (Insulator) としてサファイア基板を用いて、このサファイア基板上にシリコン単結晶からなる半導体単結晶層をエピタキシャル法によって形成して、この半導体単結晶層にデバイスとしてp-MOS及びn-MOSからなるC-MOS (Complementary Metal Oxide Semiconductor) インバータを形成した、SOS (Silicon On Sapphire) 技術が記載されている。

【0004】 このようなSOSを含むSOI技術は、絶縁体上に形成した半導体単結晶層に素子領域を形成するので、従来のように半導体基板に直接素子領域を形成する技術と比較して、寄生容量 (浮遊容量) を小さくできるという利点を得られる。

【0005】 このようなSOI技術に用いられるSOI基板には、半導体単結晶層の位置検出のためのオリエンテーションフラットが形成される。このオリエンテーションフラットには、基板面内の結晶方位を示すとともに、デバイス製造時のプロセスにおいてマスク合せ等の基板の位置決めに使用するための主オリエンテーションフラットと、結晶方位や導電型を識別するための副オリエンテーションフラットとがある。通常は主オリエンテーションフラットのみが形成されていることが多い。

【0006】 このようにSOI基板に主オリエンテーションフラットあるいは副オリエンテーションフラットが存在すると、SOI基板は形状が非真円形状でなくなるので非対称になる。

【0007】 また、オリエンテーションフラットと同様な動きをするものとして、オリエンテーションノッチが知られている。

【0008】 例えば日経BP社発行、「日経マイクロデバイス」、1989年10月号、P105~P110には、このようなオリエンテーションフラット及びオリエンテーションノッチに関する技術が記載されている。

【0009】

【発明が解決しようとする課題】 前記のようなSOI基板の半導体単結晶層に所望の素子領域を形成する際、CVD膜形成工程等の多くのプロセス処理工程を経るが、SOI基板は形状がオリエンテーションフラットが形成されていることによって非真円形状になっているので、基板の回転を伴うプロセス処理工程において、SOI基板に回転むらが生ずるという問題がある。

【0010】 例えばCVD膜形成工程においては、反応室内でSOI基板をサセプタで支持した状態で回転しながら反応を行うが、SOI基板は非真円形状になっていることにより、その重心が幾何学的な対称中心からずれてくるので、回転時に回転むらが生ずるようになる。この結果、形成される膜厚にばらつきが生ずる原因となる。

【0011】 このような回転むらは、SOI基板の寸法

が大口径化（直径が約150mm以上）するほど著しくなる。このため、今後ますます大口径化の要求が高くなっていくことを考慮すると、プロセス処理工程における回転むらの防止が必要になる。

【0012】本発明の目的は、基板の回転を伴うプロセス処理工程において、回転時にSOI基板に生ずる回転むらを防止することが可能な技術を提供することにある。

【0013】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0015】（1）本発明のSOI基板は、支持基板上に絶縁体を介して半導体単結晶層が形成されるSOI基板において、前記支持基板は真円形状の半導体基板からなるとともに、前記半導体単結晶層は非真円形状の単結晶半導体単結晶層からなっている。

【0016】（2）本発明のSOI基板の製造方法は、真円形状の半導体基板、及び予め主オリエンテーションフラットが形成されかつ両面に酸化膜が形成された非真円形状の半導体単結晶基板を用意する工程と、前記真円形状の半導体基板及び非真円形状の半導体単結晶基板を酸化膜を介して一体に結合する工程と、前記非真円形状の半導体単結晶基板を所望の厚さに加工する工程と、を含んでいる。

【0017】（3）本発明の他のSOI基板の製造方法は、真円形状の半導体単結晶基板を用意する工程と、前記半導体単結晶基板の所望の内部深さに酸化膜を形成して半導体単結晶基板を薄い第1の単結晶層と厚い第2の単結晶層とに区分する工程と、前記第1の単結晶層の表面の所望部分以外をマスクする工程と、前記第1の単結晶層のマスクされていない所望部分を除去して主オリエンテーションフラットを形成する工程と、を含んでいる。

【0018】

【作用】上述した（1）の手段によれば、本発明のSOI基板は、支持基板上に絶縁体を介して半導体単結晶層が形成されるSOI基板において、前記支持基板は真円形状の半導体基板からなるとともに、前記半導体単結晶層は非真円形状の単結晶半導体単結晶層からなっているので、基板の回転を伴うプロセス処理工程において、回転時にSOI基板に生ずる回転むらを防止することが可能となる。

【0019】上述した（2）の手段によれば、本発明のSOI基板の製造方法は、真円形状の半導体基板、及び予め主オリエンテーションフラットが形成されかつ両面に酸化膜が形成された非真円形状の半導体単結晶基板を

用意する工程と、前記真円形状の半導体基板及び非真円形状の半導体単結晶基板を酸化膜を介して一体に結合する工程と、前記非真円形状の半導体単結晶基板を所望の厚さに加工する工程と、を含んでいるので、基板の回転を伴うプロセス処理工程において、回転時にSOI基板に生ずる回転むらを防止することが可能となる。

【0020】上述した（3）の手段によれば、本発明の他のSOI基板の製造方法は、真円形状の半導体単結晶基板を用意する工程と、前記半導体単結晶基板の所望の内部深さに酸化膜を形成して半導体単結晶基板を薄い第1の単結晶層と厚い第2の単結晶層とに区分する工程と、前記第1の単結晶層の表面の所望部分以外をマスクする工程と、前記第1の単結晶層のマスクされていない所望部分を除去して主オリエンテーションフラットを形成する工程と、を含んでいるので、基板の回転を伴うプロセス処理工程において、回転時にSOI基板に生ずる回転むらを防止することが可能となる。

【0021】以下、本発明について、図面を参照して実施例とともに詳細に説明する。

【0022】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【実施例】図1は本発明の実施例によるSOI基板を示すもので、（a）は平面図、（b）は（a）のA-A断面図である。本実施例のSOI基板1は、支持基板である真円形状のシリコン単結晶基板2と、このシリコン単結晶基板2上に絶縁体である酸化膜3を介して形成され、かつ側面に主オリエンテーションフラット5が形成された半導体単結晶層である非真円形状のシリコン単結晶層4とから構成されている。

【0024】ここで、シリコン単結晶基板2は例えば、直径200mm（8インチ）、厚さ725 μ m、面方位（100）を有している。また、酸化膜3は例えば厚さ0.5 μ mを有し、シリコン単結晶層4は例えば厚さ1～2 μ mを有している。さらに、主オリエンテーションフラット5は、例えば面方位（110）の位置に形成されている。この主オリエンテーションフラット5が形成される位置は、シリコン単結晶層4の面方位（100）に対して適した面方位が選ばれる。この主オリエンテーションフラット5が形成される位置は、一般的に、（0、1バー、1バー）で示される面方位が選ばれる。

【0025】次に、本実施例のSOI基板1の製造方法を、図2乃至図8を参照して工程順に説明する。

【0026】まず、図2に示すように、例えば直径200mm（8インチ）、厚さ725 μ m、面方位（100）を有する真円形状のシリコン単結晶基板2を用意する。このシリコン単結晶基板2はベース基板となる。

（a）は平面図、（b）は（a）のA-A断面図である。同様に、図3に示すように、例えば直径200

mm、厚さ $725\mu\text{m}$ 、面方位(100)を有し、主オリエンテーションフラット5が形成されるとともに、両面に例えば厚さ $0.5\mu\text{m}$ の酸化膜3が形成された非真円形状のシリコン単結晶基板(ボンド基板)6を用意する。このシリコン単結晶基板6は、後程必要なデバイスの素子領域を形成するための半導体領域となる。

【0027】この非真円形状のシリコン単結晶基板6は、図7に示すようにシリコン単結晶インゴット7の状態です。予め主オリエンテーションフラット5を加工し、続いて図3(a)のように、面方位(100)となるようにウエハ状に加工した後、図3(b)のように、熱酸化処理してその両面に酸化膜3を形成して製造する。

【0028】次に、図4に示すように、図2の真円形状のシリコン単結晶基板2上に、図3の非真円形状のシリコン単結晶基板6を載置して両者を、 $1000^{\circ}\text{C}\sim 1100^{\circ}\text{C}$ で酸素あるいは窒素を含む雰囲気内で2~3時間熱処理する。これによって、両者は酸化膜3を介して化学的に結合されることにより、完全に一体化する。

【0029】続いて、図5に示すように、シリコン単結晶基板6の表面側を例えば平面研削盤で研磨処理を行って、厚さ数 $10\mu\text{m}$ になるまで研磨する。破線は研磨以前の位置を示している。厚さが薄くなることによって、シリコン単結晶基板6はシリコン単結晶層8に変わる。

【0030】次に、図6に示すように、さらにシリコン単結晶層8の表面側を機械的・化学的な研磨法により鏡面研磨処理を行って、シリコン単結晶層8を所望の厚さ、例えば $1\sim 2\mu\text{m}$ になるまで鏡面研磨処理を行う。

【0031】以上によって、図1に示したようなSOI基板1が完成する。このようにして製造されたSOI基板1に対しては、そのシリコン単結晶層8に対して拡散、イオン打ち込み等のプロセス処理を施すことにより、後述のように、所望の素子領域の形成が行われる。

【0032】なお、図4の工程で、予め主オリエンテーションフラット5を形成したシリコン単結晶基板6をシリコン単結晶基板2と結合処理する場合、主オリエンテーションフラット5をシリコン単結晶基板2の特定の結晶方位に一致させる必要がある場合には、図8に示すように、予めシリコン単結晶基板2にオリエンテーションノッチ9を形成しておいて、このオリエンテーションノッチ9を基準にしてシリコン単結晶基板6を結合するようにすれば良い。また、必要に応じてシリコン単結晶基板6には、副オリエンテーションフラットを形成しておく。この副オリエンテーションフラットの形成方法は、前記したような主オリエンテーションフラット5の形成方法と同じようにして行うことができる。

【0033】次に、本実施例のSOI基板1の他の製造方法の例を、図9乃至図14を参照して説明する。この製造方法においては、予め1枚のシリコン単結晶基板を出発材料として用いて、このシリコン単結晶基板に対して、徐々に各種のプロセス処理を施すことにより、最終

的に、非真円形状のシリコン単結晶層を真円形状のシリコン単結晶基板上に形成することを特徴としている。

【0034】まず、図9に示すように、例えば直径 200mm (8インチ)、厚さ $725\mu\text{m}$ 、面方位(100)を有し、予め所望の内部深さに酸化膜11を形成することにより、薄い第1のシリコン単結晶層13と厚い第2のシリコン単結晶層14とに区分する真円形状のシリコン単結晶基板12を用意する。第1のシリコン単結晶層13は素子領域を形成するための半導体領域となるとともに、第2のシリコン単結晶層14はベース基板となる。酸化膜11は例えば厚さ $0.4\mu\text{m}$ を有し、第1のシリコン単結晶層13は例えば厚さ $0.2\mu\text{m}$ を有し、第2のシリコン単結晶層14はほぼ $725\mu\text{m}$ の厚さを有している。(a)は平面図、(b)は(a)のA-A断面図である。

【0035】このシリコン単結晶基板12は、図9(a)のように、ウエハ加工によって得られたシリコン単結晶基板12に対して、その表面から酸素イオンを、例えば加速エネルギー： 180KeV 、ドーズ量： $2.0\times 10^{18}/\text{cm}^2$ の条件で注入した後、窒素雰囲気内で約 1280°C で6時間処理することにより、図9(b)のように、酸化膜11をシリコン単結晶基板12の内部深さに形成して製造する。いわゆる、SIMOX (Separation-by-implanted-oxygen) 技術により、シリコン単結晶基板12を形成する。

【0036】次に、図10に示すように、シリコン単結晶基板12のシリコン単結晶層13表面の主オリエンテーションフラットを形成すべきラインを境にして、除去する部分に粘着テープ15を覆う。

【0037】続いて、図11に示すように、シリコン単結晶層12表面に粘着テープ15上を含めてフォトリソリスト16を塗布する。

【0038】次に、図12に示すように、粘着テープ15を剥がすことにより、この上のフォトリソリスト16を同時に除去する。これによって、主オリエンテーションフラットを形成すべき部分以外はフォトリソリスト16によってマスクされたことになる。

【0039】続いて、図13に示すように、シリコン単結晶基板12をフッ酸・硝酸系のエッチング液に浸すことにより、フォトリソリスト16をマスクとしてマスクされていないシリコン単結晶層13を部分的に除去して、主オリエンテーションフラット5を形成する。この工程は、ウェットエッチングに限らず、ドライエッチングを利用して行うこともできる。

【0040】次に、図14に示すように、フォトリソリスト16を有機溶剤によって除去した後、シリコン単結晶基板12を洗浄処理する。

【0041】以上によって、図1に示したようなSOI基板1が完成する。このようにして製造されたSOI基

板 1 に対しては、前記の製造方法によって得られた SOI 基板 1 の場合と同様に、そのシリコン単結晶層 13 に対して拡散、イオン打ち込み等のプロセス処理を施すことにより、所望の素子領域の形成が行われる。

【0042】また、シリコン単結晶層 13 の主オリエンテーションフラット 5 を特定の結晶方位に一致させる必要がある場合には、図 9 のシリコン単結晶基板 12 における厚い第 2 のシリコン単結晶層 14 に予めオリエンテーションノッチを形成しておけば良い。さらに、必要に応じてシリコン単結晶基板 12 には、副オリエンテーションフラットを形成しておくようにすることもできる。

【0043】図 15 は本実施例によって得られた SOI 基板 1 を用いて、シリコン単結晶層 4 にデバイスとしてシリコンゲートからなる C-MOS インバータを形成した例を示すものである。18 は p-MOS トランジスタで、19 は P+ 型ソース領域、20 は P+ 型ドレイン領域、21 はゲート酸化膜、22 は N 型チャネル領域、23 はソース電極、24 はドレイン電極、25 はシリコンゲート金属、26 は保護用酸化膜である。なお、シリコンゲート金属 25 に対しては図示しない位置でゲート電極が接続される。一方、28 は n-MOS トランジスタで、29 は N+ 型ソース領域、30 は N+ 型ドレイン領域、31 はゲート酸化膜、32 は P 型チャネル領域、33 はソース電極、34 はシリコンゲート金属である。なお、ドレイン電極 24、保護用酸化膜 26 は共通である。

【0044】このような本実施例によれば次のような効果が得られる。

【0045】(1) SOI 基板 1 は、真円形状のシリコン単結晶基板 2 上に酸化膜 3 を介して、主オリエンテーションフラット 5 が形成された非真円形状のシリコン単結晶層 4 が形成されて構成されているので、回転を伴うプロセス処理工程において、回転時に SOI 基板に生じる回転むらを防止することが可能となる。

【0046】すなわち、非真円形状のシリコン単結晶層 4 が真円形状のシリコン単結晶基板 2 によって支持されていることにより、SOI 基板 1 の重心が幾何学的な対称中心に一致するようになるので、例えば CVD 膜形成工程のように基板の回転を伴うプロセス処理工程においても、回転時に回転むらが生じないため、膜厚にばらつきが生じない。この結果、特に大口径化の要求が高まったとしても十分に対処可能となる。

【0047】(2) SOI 基板 1 は、周知のプロセス処理技術を組み合わせることで容易に製造することができるので、コストアップを伴うことなく、SOI 基板 1 を量産することが可能になる。

【0048】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論であ

る。

【0049】例えば、前記実施例では支持基板、半導体単結晶層及び絶縁体の各材料としては特定の材料に例をあげて説明したが、これに限らず同等の材料を用いることができる。

【0050】また、前記実施例ではシリコン単結晶基板、シリコン単結晶層等における厚さ、結晶方位等の値、あるいは各種プロセス処理工程における条件は一例を示したものであり、これら目的、用途等に応じて任意に変更することができる。

【0051】さらに、素子領域を形成するシリコン単結晶層に形成する主オリエンテーションフラットは単独のままでも目的を達成できるが、必要に応じて副オリエンテーションフラットを形成するようにしても良い。

【0052】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である SOI 技術に適用した場合について説明したが、それに限定されるものではない。本発明は、少なくとも絶縁体上に形成した半導体単結晶層に所望の素子領域を形成する条件のものには適用できる。

【0053】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0054】真円形状の半導体基板上に絶縁体を介して、主オリエンテーションフラットが形成された非真円形状の半導体単結晶層が形成されて SOI 基板が構成されているので、回転を伴うプロセス処理工程において、回転時に SOI 基板に生じる回転むらを防止することが可能となる。

【図面の簡単な説明】

【図 1】本発明の実施例による SOI 基板を示すもので、(a) は平面図、(b) は (a) の A-A 断面図である。

【図 2】本発明の実施例による SOI 基板の製造方法の一工程を示すもので、(a) は平面図、(b) は (a) の A-A 断面図である。

【図 3】本発明の実施例による SOI 基板の製造方法の他の工程を示すもので、(a) は平面図、(b) は (a) の A-A 断面図である。

【図 4】本発明の実施例による SOI 基板の製造方法のその他の工程を示す断面図である。

【図 5】本発明の実施例による SOI 基板の製造方法のその他の工程を示す断面図である。

【図 6】本発明の実施例による SOI 基板の製造方法のその他の工程を示す断面図である。

【図 7】本発明の実施例による SOI 基板の製造方法のその他の工程を示す斜視図である。

【図 8】本発明の実施例による SOI 基板の製造方法のその他の工程を示す平面図である。

【図9】本発明の実施例によるSOI基板の他の製造方法の一工程を示すもので、(a)は平面図、(b)は(a)のA-A断面図である。

【図10】本発明の実施例によるSOI基板の他の製造方法の他の工程を示す断面図である。

【図11】本発明の実施例によるSOI基板の他の製造方法のその他の工程を示す断面図である。

【図12】本発明の実施例によるSOI基板の他の製造方法のその他の工程を示す断面図である。

【図13】本発明の実施例によるSOI基板の他の製造方法のその他の工程を示す断面図である。

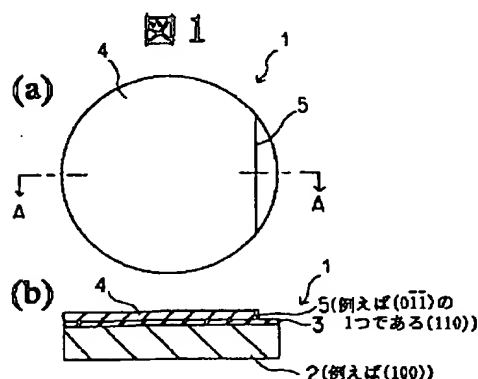
【図14】本発明の実施例によるSOI基板の他の製造方法のその他の工程を示す断面図である。

【図15】本発明の実施例によるSOI基板にC-MOSインバータを形成した例を示す断面図である。

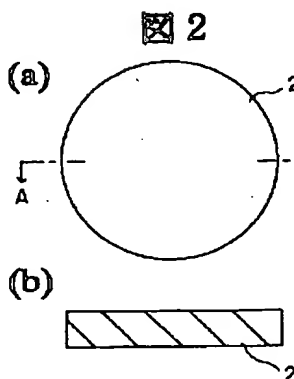
【符号の説明】

1…SOI基板、2、12…真円形状のシリコン単結晶基板、3、11…酸化膜、4…シリコン単結晶層、5…主オリエンテーションフラット、6…非真円形状のシリコン単結晶基板、7…シリコン単結晶インゴット、8…非真円形状のシリコン単結晶層、9…オリエンテーションノッチ、13…薄いシリコン単結晶層、14…厚いシリコン単結晶層、15…粘着テープ、16…フォトリソグレイ、18…n-MOSトランジスタ、19…P+型ソース領域、20…P+型ドレイン領域、21、31…ゲート酸化膜、22…N型チャネル領域、23、33…ソース電極、24…ドレイン電極、25、34…シリコンゲート金属、26…保護用酸化膜、28…n-MOSトランジスタ、29…N+型ソース領域、30…N+型ドレイン領域、32…P型チャネル領域。

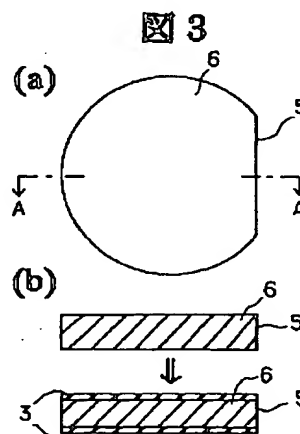
【図1】



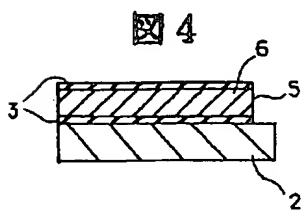
【図2】



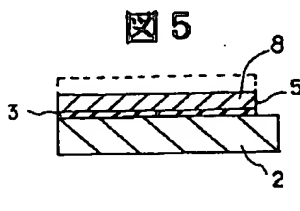
【図3】



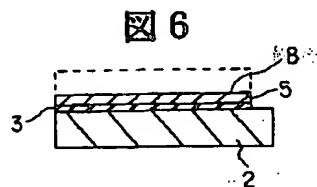
【図4】



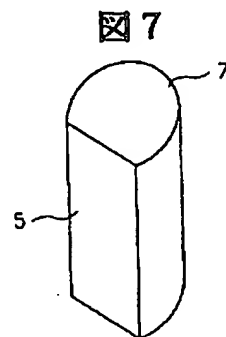
【図5】



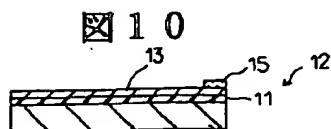
【図6】



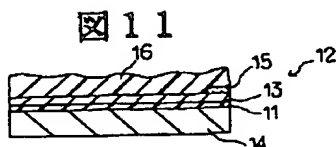
【図7】



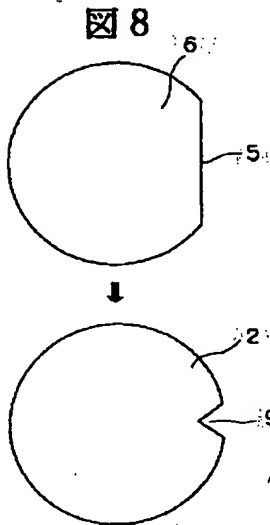
【図10】



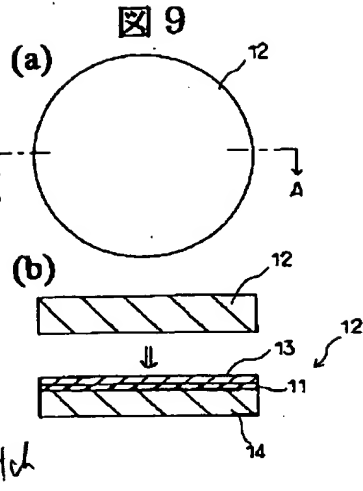
【図11】



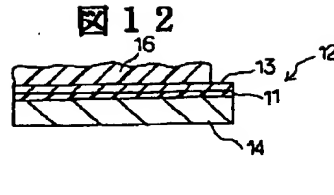
【図8】



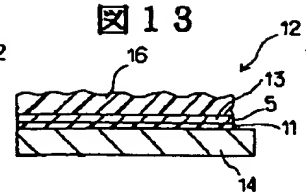
【図9】



【図12】

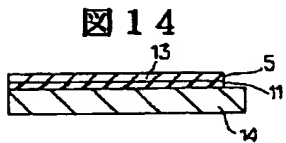


【図13】



【図15】

【図14】



【図15】

